

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-332547

(43)Date of publication of application : 30.11.2001

(51)Int.Cl.

H01L 21/316  
C23C 14/08  
C23C 14/28  
C23C 16/42  
H01L 21/203  
H01L 21/318  
H01L 29/78

(21)Application number : 2000-246882

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.08.2000

(72)Inventor : YAMAGUCHI TAKESHI  
SATAKE HIDEKI  
CHOKAI AKIRA  
FUKUSHIMA SHIN

(30)Priority

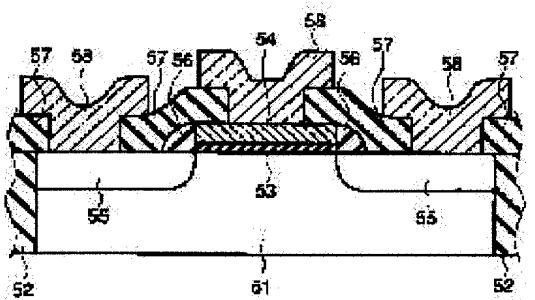
Priority number : 2000075173 Priority date : 17.03.2000 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device that has an excellent interface characteristics between a silicon substrate and a metal silicate layer.

**SOLUTION:** This semiconductor device where an active element is formed on a silicon substrate 51 has a metal silicate layer 53 that is formed on the silicon substrate 51, and an electrode layer 54 that is formed on the metal silicon substrate 53. In the metal silicon substrate 53, the concentration of the configuration metal is gradually reduced from the interface between the electrode and metal silicate layers 54 and 53 toward the interface between the silicon substrate 51 and the silicate layer 53.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

[application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

**Partial Translation of Japanese Unexamined Patent Publication No.2001-332547**

[0014] In the semiconductor apparatus A or B, when the composition metal of the metal silicate layer is Zr, Hf or La, since the stoichiometric composition of the metal silicate is  $ZrSiO_4$ ,  $HfSiO_4$ , or  $La_2SiO_5$ , it is preferable that the metal silicate layer have a structure wherein the concentration of the composition metal, in the case of  $ZrSiO_4$  and  $HfSiO_4$ , is about 17 atomic percent or less, and, in the case of  $La_2SiO_5$ , is about 25 atomic percent or less. More preferably, the metal silicate layer is structured so that the concentration of the composition metal is 7 atomic percent or less. It is more preferable that the concentration of the composition metal at the interface between the silicon substrate and the metal silicate layer be 1 atomic percent or less.

[0038] (Embodiment 1) When a metal oxide film is formed on an Si substrate, a metal silicate layer is formed between the Si substrate and the metal oxide. In the present invention, the metal silicate layer essentially consists of metal silicate. The metal silicate is represented by General Formula  $M_xSiO_{4-\delta}$  (wherein M is a metal element,  $0 < x \leq 1.0$ ,  $3 \leq \delta \leq 4$ ). When the metal element is La, it is represented by General Formula  $La_xSiO_{5-\delta}$  ( $0 < x < 2$ ,  $4 \leq \delta \leq 5$ ). The present inventors found that this metal silicate layer has a stable structure, and exhibits excellent good electrical properties at the interface on the Si substrate.

[0039] Figure 1 shows a cross-sectional view when a  $ZrO_2$  film 2 is formed on an Si substrate 1 by laser ablation.

[0040] As shown in Figure 1, when the  $ZrO_2$  film 2 is formed on the Si substrate 1, a Zr silicate layer 3 is formed at the interface. The Zr silicate layer 3 has a dielectric constant of 14, which is higher than the dielectric constant of the Zr silicate film obtained by oxidizing Zr silicide (not greater than 12). It is preferable that

the metal silicate layer has a film thickness of not less than 0.5 nm and not more than 4 nm, and more preferably not less than 1 nm and not more than 3 nm. The properties of the interface between the Zr silicate layer 3 and the Si substrate 1 were evaluated, and it was confirmed that the interface has excellent electrical properties and the film can be suitably used as a gate insulator for use in a field-effect transistor.

[0041] The present inventors attempted to etch the upper layer, i.e., ZrO<sub>2</sub> film 2, using an HF solution so that the Zr silicate layer 3 can be used as a gate insulator.

[0042] Figure 2 shows the etch rates of the ZrO<sub>2</sub> film 2 and the Zr silicate layer 3 formed at the interface when samples were etched using the HF solution.

[0043] Black dots indicate etch rates when a ZrO<sub>2</sub> film 2 was formed at 450°C and white dots indicate etch rates when a ZrO<sub>2</sub> film 2 was formed at 350°C. In the figure, the etching time of, on, or before 150 seconds indicates the etch rate of a ZrO<sub>2</sub> film 2, and the etching time of after 150 seconds indicates the etch rate of a Zr silicate layer 3. When the film formation temperature of the ZrO<sub>2</sub> film 2 was 450°C, the etch rate of the ZrO<sub>2</sub> film 2 was 120 pm/sec, and when the film formation temperature was 350°C, the etch rate thereof was 200 pm/sec. The etch rate of the Zr silicate layer 3 was 2 pm/sec in both cases.

[0044] It was found that the etch rate of the ZrO<sub>2</sub> film 2 is more than 50 times that of the Zr silicate layer 3. It was also found that when the film thickness of the ZrO<sub>2</sub> film 2 and film formation temperature were changed, the etch rate of the Zr silicate layer 3 formed at the interface remarkably slowed down.

[0045] This indicates that the etch rate of the ZrO<sub>2</sub> film 2 greatly differs from that of the Zr silicate layer 3 formed at the interface, and therefore the Zr silicate layer can be selectively retained by during etching. This is attributable to the differences in properties between the metal oxide and the metal silicate, which contains Si element. The metal is not limited to Zr, and any metal

oxides of Hf, La or the like by which a silicate layer is formed at the interface can be used by employing an appropriate etching method.

[0046] Based on these experimental results, the present invention provides a method for manufacturing a field-effect transistor. In this method, by forming a metal oxide film on an Si substrate, a metal silicate layer is formed at the interface between the Si substrate and the metal oxide film. Subsequently, the metal oxide film on the metal silicate layer is selectively removed using the difference in the etch rates so that the metal silicate layer is retained. The retained metal silicate layer can be used as a high dielectric gate insulator.

[0047] A metal silicate layer forms  $\text{SiO}_2$  when heated excessively. Therefore a selectively retained metal silicate layer is irradiated with excited oxygen, which has a good ability of recovering defects even at a low temperature. In terms of recovery of defects, a heat treatment at  $800^\circ\text{C}$  or less and/or 5 minutes or less is also effective.

[0048] In order to attain a further high dielectric constant, it is also effective to form  $\text{M}_x\text{SiO}_{4-\delta}\text{N}_z$  (M indicates metal element,  $0 < x \leq 1.0$ ,  $3 \leq \delta \leq 4$ ,  $0 \leq z \leq 1$ ) by making the metal silicate layer contain nitrogen atoms. However, when the metal element is La, the structure becomes  $\text{La}_x\text{SiO}_{5-\delta}\text{N}_z$  ( $0 < x < 2$ ,  $4 \leq \delta \leq 5$ ,  $0 \leq z \leq 1$ ). In this case, conducting excessive annealing under an oxygen atmosphere should be avoided in order to prevent formation of  $\text{SiO}_2$ . In order to introduce nitrogen into the silicate film while suppressing formation of  $\text{SiO}_2$ , it is effective that the metal silicate film is nitrated under a nitrogen atmosphere, a film containing a metal, silicon and nitrogen ( $\text{MSiN}_x$  film: M is a metal element) is irradiated with excited oxygen, or oxidizing an  $\text{MSiN}_x$  film at a low temperature.

[0049] Figure 3 is a cross-sectional view of the field-effect transistor obtained by the method of the present invention. Here, an n-channel MIS transistor is shown.

[0050] As shown in Figure 3, an element separation region 52 is formed in a p-type silicon substrate 51. A gate insulator 53 formed of a metal silicate is provided on the p-type silicon substrate 51. The

method for forming the gate insulator 53 is explained later in detail. [0051] A gate electrode 54 consisting of polysilicon is formed on the gate insulator 53. In the silicon substrates 51 holding the gate electrode 54, a diffusion layer (source/drain region) 55 to which n-type impurities are introduced is formed. On the side surfaces of the gate electrode 54 and the gate insulator 53, gate side walls (for example, CVD silicon nitride films, etc.) 56 are formed. These components form the field-effect transistor.

[0052] On this field-effect transistor, an interlayer dielectrics (for example, a CVD silicon oxidation film, etc. ) 57 is provided, and an Al wiring 58 is connected with the gate electrode 54 and the source/drain region 55 via a contact hole formed in the interlayer dielectrics 57.

#### [Brief Description of Drawings]

Figure 1 is a cross-sectional view that shows that by forming a metal oxide film on a silicon substrate, a metal silicate layer is formed therebetween according to one embodiment of the present invention. Figure 2 shows the etch rates of the metal oxide film and the metal silicate layer according to one embodiment of the present invention. Figure 3 is a cross-sectional view of an MIS transistor according to one embodiment of the present invention.

#### [Explanation of Reference Numerals]

- 1...silicon substrate
- 2...ZrO<sub>2</sub> film (metal oxide film)
- 3...Zr silicate layer (metal silicate layer)
- 51...silicon substrate
- 52...element separation region
- 53...gate insulator (metal silicate layer)
- 54...gate electrode (electrode layer)
- 55...source/drain region

56...gate side wall  
57...interlayer dielectrics  
58...Al wiring  
59...ZrO<sub>2</sub> film (metal oxide film)  
60...oxygen excitation source  
62...SiO<sub>2</sub> film (silicon oxide film)  
63...metal film or metal silicide film  
64...insulator containing Zr atoms and silicon atoms  
65...zirconium nitride film or a film containing Zr, nitrogen and silicon

In Fig. 2, the lateral axis indicates the processing time (unit: second, @HF2%), and the longitudinal axis indicates the thickness of the etched layer.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-332547

(P 2 0 0 1 - 3 3 2 5 4 7 A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int. Cl. 7

H01L 21/316

識別記号

F I

テーマコード (参考)

C23C 14/08

14/28

16/42

H01L 21/316

B 4K029

P 4K030

C23C 14/08

K 5F040

14/28

5F058

16/42

5F103

審査請求 未請求 請求項の数15 O L (全13頁) 最終頁に続く

(21) 出願番号

特願2000-246882 (P 2000-246882)

(22) 出願日

平成12年8月16日 (2000. 8. 16)

(31) 優先権主張番号 特願2000-75173 (P2000-75173)

(32) 優先日 平成12年3月17日 (2000. 3. 17)

(33) 優先権主張国 日本 (JP)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 山口 豪

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 佐竹 秀喜

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

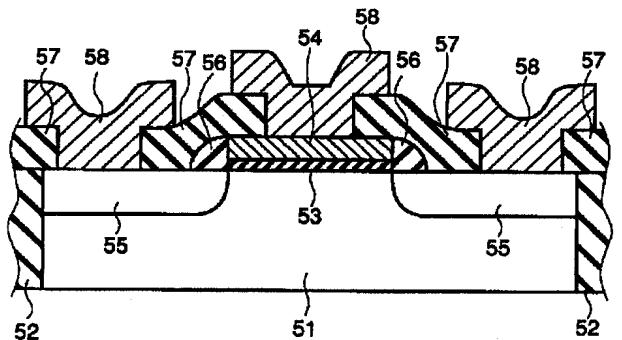
最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 シリコン基板と金属シリケイト層との間の界面特性に優れた半導体装置を得る。

【解決手段】 シリコン基板51に能動素子が形成されてなる半導体装置であって、該半導体装置は、シリコン基板51上に形成された金属シリケイト層53と、金属シリケイト層53上に形成された電極層54とを備え、金属シリケイト層53は、その構成金属の濃度が電極層54と金属シリケイト層53との界面からシリコン基板51と金属シリケイト層53との界面に向かってしだいに減少するように構成されている。



## 【特許請求の範囲】

【請求項1】シリコン基板に能動素子が形成されてなる半導体装置において、

前記半導体装置は、前記シリコン基板上に形成された金属シリケイト層と、前記金属シリケイト層上に形成された電極層とを備え、

前記金属シリケイト層は、その構成金属の濃度が前記電極層と前記金属シリケイト層との界面から前記シリコン基板と前記金属シリケイト層との界面に向かってしだいに減少するように構成されていることを特徴とする半導体装置。

【請求項2】シリコン基板に能動素子が形成されてなる半導体装置において、

前記半導体装置は、前記シリコン基板上に形成された金属シリケイト層と、

前記金属シリケイト層上に形成された電極層とを備え、前記金属シリケイト層に含有される構成金属の濃度は、該金属シリケイトの化学量論組成における該金属の濃度以下であり、かつ、前記電極層と前記金属シリケイト層との界面側での前記構成金属の濃度よりも前記シリコン基板と前記金属シリケイト層との界面側での前記構成金属の濃度の方が低くなるように構成されていることを特徴とする半導体装置。

【請求項3】前記金属シリケイト層の構成金属はZr又はHfであり、前記金属シリケイト層は該構成金属の濃度が7原子パーセント以下となるように構成されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】前記半導体装置は電界効果型トランジスタを備え、前記金属シリケイト層は前記電界効果型トランジスタのゲート絶縁膜であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】前記金属シリケイト層は、膜厚が0.5nm以上4nm以下であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項6】シリコン基板上に金属酸化膜を形成することによって、前記シリコン基板と前記金属酸化膜との界面に金属シリケイト層を形成する工程と、

前記金属シリケイト層上の金属酸化膜を選択的に除去して前記金属シリケイト層を残す工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】前記金属酸化膜を選択的に除去する工程の後、前記金属シリケイト層を800°C以下の温度で熱処理する工程をさらに有することを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】シリコン基板上にシリコン酸化膜を形成する工程と、

前記シリコン酸化膜上に、前記シリコン酸化膜に対する固溶限界以上の金属原子を有する金属膜又は金属シリサイド膜を形成する工程と、

前記金属膜又は金属シリサイド膜中の金属原子を前記シ

リコン酸化膜中に拡散させて金属シリケイト層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】前記金属シリケイト層中に窒素を導入する処理を含むことを特徴とする請求項6乃至8のいずれかに記載の半導体装置の製造方法。

【請求項10】窒素雰囲気中又は励起窒素の照射下において、金属酸化物ターゲットを用いた蒸着法、スパッタ法又はレーザーアブレーション法にてシリコン基板上に成膜を行うことにより、窒素を含有する金属シリケイト層を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項11】窒素雰囲気中又は励起窒素の照射下において、少なくとも金属及び酸素を含むガスを用いたCVD法にてシリコン基板上に成膜を行うことにより、窒素を含有する金属シリケイト層を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項12】シリコン基板上に形成された金属、シリコン及び窒素を含む膜を酸素雰囲気中にて800°C以下の温度で熱処理して、窒素を含有する金属シリケイト層を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項13】シリコン基板上に形成された金属、シリコン及び窒素を含む膜に励起酸素を照射して、窒素を含有する金属シリケイト層を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項14】シリコン基板上に金属窒化膜を形成する工程と、

前記金属窒化膜を酸素雰囲気中にて800°C以下の温度で熱処理して窒素を含有する金属シリケイト層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項15】シリコン基板上に金属窒化膜を形成する工程と、

前記金属窒化膜に励起酸素を照射して窒素を含有する金属シリケイト層を形成する工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、特に金属シリケイト層を有する半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】LSIの高速化・高集積化は、スケーリング則にのっとった電界効果トランジスタの微細化によって進められてきた。ゲート絶縁膜、ゲート等のMOSデバイスの各部分について、高さ方向と横方向の寸法を同時に縮小することで、素子の特性を正常に保ち、また性能を上げることを可能にしてきた。

【0003】このスケーリング則によると、2000年

以降の次世代のM I Sトランジスタのゲート絶縁膜厚に對しては、酸化膜換算で2 nm程度以下が要求される。しかしながら、シリコン酸化膜(SiO<sub>2</sub>膜)では、厚さ2 nm以下になると、直接トンネル電流が極めて大きくなり、リーク電流の抑制ができず、消費電力が増加するという問題が生じる。

【0004】そこで、SiO<sub>2</sub>よりも誘電率が高い材料を用いて、シリコン酸化膜換算実効膜厚を2 nm以下に抑えつつ、物理膜厚を稼いでリーク電流を抑えることが試みられている。

【0005】また、電界効果トランジスタでは、リーク電流の抑制もさることながら、Si基板とゲート絶縁膜の界面特性が特に重要である。したがって、ゲート絶縁膜には、高誘電率であり、かつSi基板との界面特性を良好に保持できる絶縁膜材料が必要であり、近年になって金属シリケイト(珪酸塩)膜が有望であることが報告され始めた("Electrical properties of hafnium silicate gate dielectrics deposited directly on silicon" G.C. Wilk and R.M. Wallace APPLIED PHYSICS LETTERS VOLUME 74, NUMBER 19, p2854-2856, MAY 1999)。

【0006】このような金属シリケイト膜は、スパッタ法や蒸着法によってSi基板上に金属を成膜し、酸素雰囲気中で熱処理して形成したり、シリサイドターゲットを用いたスパッタ法により成膜したりされている。

【0007】しかしながら、これらの手法では、金属シリケイト膜の膜質が酸素の導入量や熱処理温度或いはターゲットの組成比に大きく依存するために、金属シリケイト膜の特性の制御が困難であった。例えば、熱処理や酸素処理が不十分であれば金属シリケイト膜が金属的になり、過剰であればSiO<sub>2</sub>的な金属シリケイト膜になる。高い誘電率を得るためにには、金属的、SiO<sub>2</sub>的両者の中間のプロセス条件を満たさなければならず、容易に製造することは難しかった。

【0008】また、これらの手法では、Si基板と金属シリケイト層との界面に金属元素が多く分布し、それらがトラップサイトとなり、Si基板と金属シリケイト層との界面の特性が悪化するという問題もあった。

【0009】

【発明が解決しようとする課題】上述したように、スケーリング則を満たすため、SiO<sub>2</sub>よりも誘電率が高い金属シリケイトをゲート絶縁膜に用いることが要望されているが、従来の方法では、金属シリケイト層を制御性よく形成することが困難であり、シリコン基板と金属シリケイト層との界面に金属元素が多く分布しやすく、Si基板と金属シリケイト層との間の界面特性が悪化するという問題があった。

【0010】本発明は、上記従来の問題を解決するためになされたものであり、シリコン基板と金属シリケイト層との間の良好な界面特性を得ることが可能な半導体装置及びその製造方法を提供することを目的とする。

### 【0011】

【課題を解決するための手段】本発明に係る半導体装置は、シリコン基板に能動素子が形成されてなる半導体装置において、前記半導体装置は、前記シリコン基板上に形成された金属シリケイト層と、前記金属シリケイト層上に形成された電極層とを備え、前記金属シリケイト層は、その構成金属の濃度が前記電極層と前記金属シリケイト層との界面から前記シリコン基板と前記金属シリケイト層との界面に向かってしだいに減少するように構成されていることを特徴とする(半導体装置A)。

【0012】また、本発明に係る半導体装置は、シリコン基板に能動素子が形成されてなる半導体装置において、前記半導体装置は、前記シリコン基板上に形成された金属シリケイト層と、前記金属シリケイト層上に形成された電極層とを備え、前記金属シリケイト層に含有される構成金属の濃度は、該金属シリケイトの化学量論組成における該金属の濃度以下であり、かつ、前記電極層と前記金属シリケイト層との界面側での前記構成金属の濃度よりも前記シリコン基板と前記金属シリケイト層との界面側での前記構成金属の濃度の方が低くなるように構成されていることを特徴とする(半導体装置B)。

【0013】半導体装置A或いはBにおいて、前記金属シリケイト層の構成金属はZr(ジルコニウム)、Hf(ハフニウム)又はLa(ランタン)であることが好ましい。金属シリケイトを容易に形成するためである。誘電率向上のためにはLaが好ましく、プロセス適合性の観点からはZr又はHfが好ましい。

【0014】半導体装置A或いはBにおいて、前記金属シリケイト層の構成金属がZr、Hf又はLaである場合、その金属シリケイトの化学量論組成は、ZrSiO<sub>4</sub>、HfSiO<sub>4</sub>、La<sub>2</sub>SiO<sub>5</sub>であることから、前記金属シリケイト層はその構成金属の濃度が、ZrSiO<sub>4</sub>及びHfSiO<sub>4</sub>では約17原子パーセント以下、La<sub>2</sub>SiO<sub>5</sub>では25原子パーセント以下となるように構成されていることが好ましい。より好ましくは、前記金属シリケイト層は、該構成金属の濃度が7原子パーセント以下となるように構成されていることが好ましい。さらに、前記シリコン基板と前記金属シリケイト層との界面での該構成金属の濃度が1原子パーセント以下となるように構成されていることが好ましい。

【0015】半導体装置A或いはBにおいて、前記金属シリケイト層は、金属、シリコン及び酸素に加えて、さらに誘電率向上のために窒素を含んでいてもよい。

【0016】半導体装置A或いはBにおいて、前記半導体装置は電界効果型トランジスタを備え、前記金属シリケイト層は前記電界効果型トランジスタのゲート絶縁膜であることが好ましい。

【0017】半導体装置A或いはBにおいて、前記金属シリケイト層は、膜厚が0.5 nm以上4 nm以下であることが好ましい。

【0018】本発明に係る半導体装置の製造方法は、シリコン基板上に金属酸化膜を形成することによって、前記シリコン基板と前記金属酸化膜との界面に金属シリケイト層を形成する工程と、前記金属シリケイト層上の金属酸化膜を選択的に除去して前記金属シリケイト層を残す工程とを有することを特徴とする（製造方法A）。

【0019】製造方法Aにおいて、前記金属酸化膜を選択的に除去する工程は、ウエットエッチング法又はスパッタ法を用いて行われることが好ましい。

【0020】製造方法Aにおいて、前記金属酸化膜は非晶質相を含む膜であることが好ましい。これにより、金属酸化膜と金属シリケイト層とのエッチング速度差をとりやすくなる。

【0021】製造方法Aにおいて、欠陥を回復しつつSiO<sub>2</sub>成長抑制のため、前記金属酸化膜を選択的に除去する工程の後、前記金属シリケイト層を800℃以下の温度で熱処理する工程をさらに有することが好ましい。また、5分以下の短時間であれば、900℃以下であってもよい。また、さらに望ましくは、300℃～500℃とする。

【0022】製造方法Aにおいて、前記金属酸化膜を選択的に除去する工程の後、前記金属シリケイト層に励起酸素を照射する工程をさらに有することが、温度を上げることなく欠陥が回復できるため好ましい。

【0023】製造方法Aにおいて、前記シリコン基板上に前記金属酸化膜を形成する際に、励起酸素を照射することが、温度を上げることなく欠陥が回復できるため好ましい。

【0024】また、本発明に係る半導体装置の製造方法は、シリコン基板上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜上に、前記シリコン酸化膜に対する固溶限界以上の金属原子を有する金属膜又は金属シリサイド膜を形成する工程と、前記金属膜又は金属シリサイド膜中の金属原子を前記シリコン酸化膜中に拡散させて金属シリケイト層を形成する（より好ましくは、拡散せずに残った金属膜又は金属シリサイド膜を利用することで電極を同時に形成する）工程とを有することを特徴とする（製造方法B）。

【0025】製造方法A或いはBにおいて、前記金属シリケイト層中に窒素を導入する処理を含むようにしてもよい。その際に、励起窒素を用いることが好ましい。

【0026】なお、製造方法A及びBは、先の半導体装置A及びBを得るための製造方法に適したものである。

【0027】また、本発明に係る半導体装置の製造方法は、窒素雰囲気中又は励起窒素の照射下において、金属酸化物ターゲットを用いた蒸着法、スパッタ法又はレーザーアブレーション法にてシリコン基板上に成膜を行うことにより、窒素を含有する金属シリケイト層を形成する工程を有することを特徴とする（製造方法C）。

【0028】また、本発明に係る半導体装置の製造方法

は、窒素雰囲気中又は励起窒素の照射下において、少なくとも金属及び酸素を含むガスを用いたCVD法にてシリコン基板上に成膜を行うことにより、窒素を含有する金属シリケイト層を形成する工程を有することを特徴とする（製造方法D）。

【0029】製造方法C或いはDにおいて、前記窒素を含有する金属シリケイト層に対して、酸素雰囲気中にて800℃以下の温度で熱処理する、或いは励起酸素を照射する工程をさらに有することが好ましい。

【0030】また、本発明に係る半導体装置の製造方法は、シリコン基板上に形成された金属、シリコン及び窒素を含む膜（MSiN<sub>x</sub>膜、Mは金属元素）を酸素雰囲気中にて800℃以下の温度で熱処理して、窒素を含有する金属シリケイト層を形成する工程を有することを特徴とする（製造方法E）。

【0031】また、本発明に係る半導体装置の製造方法は、シリコン基板上に形成された金属、シリコン及び窒素を含む膜（MSiN<sub>x</sub>膜、Mは金属元素）に励起酸素を照射して、窒素を含有する金属シリケイト層を形成する工程を有することを特徴とする（製造方法F）。

【0032】製造方法E或いはFにおいて、金属とシリコン及び窒素を含むターゲットを用いて、蒸着法、スパッタ法又はレーザーアブレーション法にて、前記金属、シリコン及び窒素を含む膜を形成することが好ましい。

【0033】また、本発明に係る半導体装置の製造方法は、シリコン基板上に金属窒化膜を形成する工程と、前記金属窒化膜を酸素雰囲気中にて800℃以下の温度で熱処理して窒素を含有する金属シリケイト層を形成する工程とを有することを特徴とする（製造方法G）。

【0034】また、本発明に係る半導体装置の製造方法は、シリコン基板上に金属窒化膜を形成する工程と、前記金属窒化膜に励起酸素を照射して窒素を含有する金属シリケイト層を形成する工程とを有することを特徴とする（製造方法H）。

【0035】製造方法A～Hにおいて、前記金属シリケイト層の構成金属は、Zr、Hf又はLaであることが好ましい。

【0036】製造方法A～Hにおいて、前記金属シリケイト層は、電界効果トランジスタのゲート絶縁膜であることが好ましい。

【0037】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0038】（実施形態1）金属酸化物をSi基板上に成膜すると、金属シリケイト（珪酸塩）層がSi基板と金属酸化物の間に形成される。本発明において、金属シリケイト層とは、実質的に金属シリケイトからなるものである。金属シリケイトは一般式で、M<sub>x</sub>SiO<sub>4-x</sub>（M：金属元素、0 < x ≤ 1.0、3 ≤ δ ≤ 4）で表される。ただし、金属元素がLaの場合は、La<sub>x</sub>Si<sub>1-x</sub>O<sub>4</sub>で表される。

$iO_{5-\delta}$  ( $0 < x < 2$ ,  $4 \leq \delta \leq 5$ ) で表される。本発明者らは、この金属シリケイト層が安定な構造・組成で形成され、Si基板界面での電気的特性も非常によいことを見出した。

【0039】図1は、レーザーアブレーション法によりSi基板1上にZrO<sub>2</sub>膜2を形成したときの断面図である。

【0040】図1に示すように、Si基板1上にZrO<sub>2</sub>膜2を成膜すると、界面にZrシリケイト層3が形成される。このZrシリケイト層3の誘電率は1.4であり、Zrシリサイドを酸化してZrシリケイト膜を形成した場合 (~1.2) よりも高いことがわかった。前記金属シリケイト層は、膜厚が0.5nm以上4nm以下であることが望ましい。さらに望ましくは、1nm以上3nm以下である。また、Zrシリケイト層3とSi基板1の界面特性を評価したところ、非常に良好な電気特性を示し、電界効果トランジスタのゲート絶縁膜として用いることが、非常に有効であることがわかった。

【0041】また、本発明者は、このZrシリケイト層3をゲート絶縁膜として利用するために、HF溶液を用いて上層のZrO<sub>2</sub>膜2をエッチングすることを試みた。

【0042】図2は、この試料をHF溶液を用いてエッチングした時の、ZrO<sub>2</sub>膜2と界面に形成されたZrシリケイト層3のエッチングレートを調べた図である。

【0043】黒丸はZrO<sub>2</sub>膜2を450°Cで成膜したときであり、白丸は350°Cで成膜した場合を示している。また、エッチング時間150秒以前はZrO<sub>2</sub>膜2をエッチングしている場合であり、150秒以降はZrシリケイト層3をエッチングしている場合である。ZrO<sub>2</sub>膜2の成膜温度が450°Cの場合、ZrO<sub>2</sub>膜2のエッチングレートは120pm/sec、成膜温度が350°Cの場合、200pm/secであった。Zrシリケイト層3のエッチングレートは、いずれの場合も2pm/secであった。

【0044】このようにZrO<sub>2</sub>膜2とZrシリケイト層3ではエッチングレートが50倍以上異なることがわかった。ZrO<sub>2</sub>膜2の膜厚、成膜温度を変えた場合も、界面に形成されたZrシリケイト層3のエッチングレートが急激に遅くなることがわかった。

【0045】これは、ZrO<sub>2</sub>膜2と界面に形成されたZrシリケイト層3とではエッチングレートに大きな差があり、Zrシリケイト層をエッチングによって選択的に残すことが十分可能であることを示している。これは、金属酸化物と、金属シリケイトというSi元素を含んだ材料の特性の差が原因であると考えられ、金属としてZrに限らず、HfやLa等、界面にシリケイト層が形成される金属酸化物であれば、適当なエッチング手法を用いることによって、同様に実現可能である。

【0046】このような実験結果に基づいて、本発明で

は、Si基板上に金属酸化膜を形成することにより、Si基板と金属酸化膜の界面に金属シリケイト層を形成し、その後金属シリケイト層上の金属酸化膜をエッチングレートの差を利用して選択的に剥離して金属シリケイト層を残し、この金属シリケイト層を高誘電体ゲート絶縁膜として用いる電界効果トランジスタの製造方法を提供する。

【0047】また、金属シリケイト層は過剰に熱処理をするとSiO<sub>2</sub>化するため、金属シリケイトの欠陥回復に、低温でも欠陥回復力に優れる励起酸素を選択的に残された金属シリケイト層に照射する。また、この欠陥回復には、800°C以下の熱処理か或いは5分以下の熱処理も有効である。

【0048】さらに、高誘電率化を実現するために、この金属シリケイト層に窒素原子を含有させることで、 $M_xSiO_{4-\delta}N_z$  ( $M$ : 金属元素、 $0 < x \leq 1.0$ 、 $3 \leq \delta \leq 4$ 、 $0 \leq z \leq 1$ ) を形成することも有用である。ただし、金属元素がLaの場合は、 $La_xSiO_{5-\delta}N_z$  ( $0 < x < 2$ 、 $4 \leq \delta \leq 5$ 、 $0 \leq z \leq 1$ ) である。これらの場合、留意する点は、SiO<sub>2</sub>化を制御するために、酸素雰囲気中での過剰な焼純を行わないことである。SiO<sub>2</sub>化を抑制しつつ、シリケイト膜に窒素を導入させるには、金属シリケイト膜を窒素雰囲気中で窒化するか、金属、シリコン及び窒素を含む膜 (MSiN<sub>x</sub>膜: Mは金属元素) に励起酸素を照射するか、或いはMSiN<sub>x</sub>膜を低温で酸化する手法が有用である。

【0049】図3は、本発明により作成した電界効果トランジスタの断面図である。ここではnチャネルMISトランジスタを作成した。

【0050】図3に示すように、p型シリコン基板51中には素子分離領域52が形成されている。このp型シリコン基板51上には、金属シリケイトからなるゲート絶縁膜53が形成されている。このゲート絶縁膜53の詳しい形成方法については後述する。

【0051】ゲート絶縁膜53上には、ポリシリコンからなるゲート電極54が形成されている。ゲート電極54を挟むシリコン基板51中に、n型不純物が導入された拡散層 (ソース・ドレイン領域) 55が形成されている。ゲート電極54及びゲート絶縁膜53の側面には、40 ゲート側壁 (例えはCVDシリコン窒化膜など) 56が形成されている。これらによって電界効果トランジスタが構成されている。

【0052】この電界効果トランジスタ上には、層間絶縁膜 (例えはCVDシリコン酸化膜など) 57が形成され、この層間絶縁膜57に設けられたコンタクト孔を介して、ゲート電極54およびソース・ドレイン領域55にA1配線58が接続されている。

【0053】(実施形態1-1) 次に、図4を参照して、図3に示したMISトランジスタの製造方法を説明する。

【0054】まず、図4 (a) に示すように、面方位 (100) 、比抵抗4~6Ωcmのp型シリコン基板51上に、反応性イオンエッチングにより、素子分離のための溝を形成する。続いて、例えばLPTEOS膜を埋め込むことにより素子分離領域52を形成する。

【0055】次に、図4 (b) に示すように、レーザーアブレーション成膜法を用いて、例えば酸素分圧10Paの雰囲気中、基板温度350°Cで、膜厚30nmのZr原子、酸素原子を含むZrO<sub>2</sub>膜(金属酸化物膜)59をSi基板51上に成膜する。レーザーアブレーション成膜法を用いることで、成膜時に光励起の作用によって、各元素が十分なエネルギーを有し、かつ組成ずれがない金属酸化物を形成できる。後の工程で説明するが、金属酸化物膜を選択的に剥離する工程では、金属酸化物のエッティングレートがより速いほうが界面層との選択比を大きく取れるため、結晶性膜を成膜するよりも、非晶質膜になる条件で成膜する方が選択的剥離の観点から好ましい。

【0056】このとき、ZrO<sub>2</sub>膜59を成膜すると同時に、Si基板51とZrO<sub>2</sub>膜59との界面にはZrシリケイト層53が形成される。このZrシリケイト層53は、この時点でZr、O、Si各元素が十分なエネルギーを有し、組成がずれ難い。このことは、所望の組成を有し、欠陥が少なく、高密度のZrシリケイト層53が形成されることに有利に働く。光励起エネルギーを用いることで、過剰な基板加熱は必要なくなり、Zrシリケイト層53のSiO<sub>2</sub>化を抑制でき、Zrシリケイト層53の高誘電率化に有利である。また、シリコン基板51上にZrO<sub>2</sub>膜59を成膜するとき、励起酸素を照射することによって、欠陥の少ない金属酸化物が形成されるので、より良好な金属シリケイト層53を形成することができる。

【0057】この工程で、シリコン基板51とZrO<sub>2</sub>膜59の間に、Si、Zr及び酸素を安定に含有するZrシリケイト層53が0.5~4nm形成される。

【0058】次に、図4 (c) に示すように、濃度2%の希HF溶液を用いて100秒程度ウエットエッティングする。するとZrO<sub>2</sub>膜59はエッティングされ、Zrシリケイト層53のみが選択的に残る。このときエッティング速度がZrシリケイト層53で急激に減少するので、エッティング時間が1~3割程度長くなってもZrシリケイト層59の膜厚は大きな変化がなく、容易にかつ膜厚の制御性よく良好なZrシリケイト層53のみを選択的に残すことができる。このエッティングの際にスパッタ法を用いても良好なZrシリケイト層を残すことができる。

【0059】次に、図4 (d) に示すように、エッティングによって残されたZrシリケイト層53に励起酸素源60によって励起酸素を照射する。このように、エッティング後、励起酸素を照射することで、Zrシリケイト層

53をSiO<sub>2</sub>化させずに、より膜中の欠陥を減少させることができる。

【0060】この欠陥を減少させるには、例えば酸素雰囲気中で800°C以下の熱処理或いは、5分以下の短時間の熱処理を行ってもよい。

【0061】次に、図3に示すように、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極54を形成する。続いて、例えば450°C、圧力1Pa~10<sup>5</sup>Paにおいて、窒素ガスで希釈したSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合ガスを用いて、例えば5nm~200nmのCVDシリコン窒化膜からなるゲート側壁56を形成する。

【0062】以後の工程は、通常のMISトランジスタの製造工程と同様である。すなわち、例えば加速電圧20keV、ドーズ量1×10<sup>15</sup>cm<sup>-2</sup>で砒素のイオン注入を行い、ソース・ドレイン領域55を形成する。続いて、化学気相成長法によって全面に層間絶縁膜57となるCVDシリコン酸化膜を堆積し、この層間絶縁膜57にコンタクト孔を開口する。続いて、スパッタ法によって全面にA1膜を堆積し、このA1膜を反応性イオンエッティングによってパターニングして、A1配線58を形成する。

【0063】(実施形態1-2) 次に、図5を参照して、図3に示すMISトランジスタの別の製造方法を説明する。

【0064】まず、図5 (a) に示すように、面方位 (100) 、比抵抗4~6Ωcmのp型シリコン基板51上に、反応性イオンエッチングにより、素子分離のための溝を形成する。続いて、例えばLPTEOS膜を埋め込むことにより素子分離領域52を形成する。

【0065】次に、図5 (b) に示すように、Si基板51を酸素雰囲気中で加熱、BOX(燃焼酸化)、もしくはCVDによって、Si基板上にSiO<sub>2</sub>膜62を形成する。

【0066】次に、図5 (c) に示すように、例えばZr金属ターゲットを用いて、例えば蒸着法で、SiO<sub>2</sub>膜62上に、SiO<sub>2</sub>膜中における固溶限界以上の量の金属元素を有する金属膜63を堆積する。金属膜63の代わりに金属シリサイド膜を堆積してもよく、この場合には少なくとも金属原子とシリコン原子を含有するターゲットを用いればよい。

【0067】次に、図5 (d) に示すように、例えば、真空中で500~800°Cの加熱によって金属膜63中の金属元素をSiO<sub>2</sub>膜62中に拡散させる工程を行い、シリコン基板51上に少なくとも金属シリケイト層53を形成する。ここでは金属元素としてZrを用いた。金属膜63中には、SiO<sub>2</sub>膜中における固溶限界以上の量の金属元素が含まれているため、固溶限界による拡散の抑制作用により、金属原子を制御性よく、必要十分にSiO<sub>2</sub>膜62中に含有させることができ、誘電

率の高い金属シリケイト層53を形成できる。金属膜の代わりに金属シリサイド膜を用いた場合にも同様の効果が得られる。

【0068】次に、図3に示すように、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極54を形成する。続いて、例えば450°C、圧力1Pa～10<sup>5</sup>Paにおいて、窒素ガスで希釈したSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合ガスを用いて、例えば5nm～200nmのCVDシリコン窒化膜からなるゲート側壁56を形成する。

【0069】以後の工程は、通常のMISトランジスタの製造工程と同様である。すなわち、例えば加速電圧20keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で砒素のイオン注入を行い、ソース・ドレイン領域55を形成する。続いて、化学気相成長法によって全面に層間絶縁膜57となるCVDシリコン酸化膜を堆積し、この層間絶縁膜57にコンタクト孔を開口する。続いて、スパッタ法によって全面にA1膜を堆積し、このA1膜を反応性イオンエッティングによってパターニングして、A1配線58を形成する。

【0070】なお、上述した例（図4、図5で説明した例）において、金属シリケイト層53が形成された後に、窒素雰囲気中もしくは励起窒素の照射によって金属シリケイト層53を窒化させることは、金属シリケイト層53がSiO<sub>2</sub>化するのを防ぎつつ、膜中の欠陥を補完し、高誘電率化を実現できる。窒化によって得られた窒素原子を含有する金属シリケイト膜53は、特性上よりゲート絶縁膜として好ましい。

【0071】（実施形態1-3）次に、図6を参照して、図3に示すMISトランジスタの別の製造方法について説明する。

【0072】まず、図6（a）に示すように、面方位（100）、比抵抗4～6Ωcmのp型シリコン基板51上に、反応性イオンエッティングにより、素子分離のための溝を形成する。続いて、例えばLPTEOS膜を埋め込むことにより素子分離領域52を形成する。

【0073】次に、図6（b）に示すように、シリコン基板51を圧力10Pa～10<sup>5</sup>Paの窒素ガス雰囲気中に設置し、例えばレーザーアブレーション法を用いて、例えばZr原子と窒化シリコンを少なくとも含んだSiNからなるターゲットにレーザー光を照射して、シリコン基板51上に少なくともZr原子、窒素原子を含有する絶縁膜64を堆積する。レーザーアブレーション法以外では蒸着法やスパッタ法を用いてもよい。

【0074】次に、図6（c）に示すように、例えば酸素原子を含む300°C～800°Cの雰囲気に晒して、少なくともZr原子、窒素原子及びSi原子を含有する絶縁膜64中に酸素原子を導入したゲート絶縁膜53（窒素を含有する金属シリケイト層）を形成する。この場合、5分以下の短い時間の熱処理や、励起酸素源60か

らの励起酸素照射を用いることも有用である。

【0075】次に、図3に示すように、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極54を形成する。続いて、例えば450°C、圧力1Pa～10<sup>5</sup>Paにおいて、窒素ガスで希釈したSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合ガスを用いて、例えば5nm～200nmのCVDシリコン窒化膜からなるゲート側壁56を形成する。

【0076】以後の工程は、通常のMISトランジスタの製造工程と同様である。すなわち、例えば加速電圧20keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で砒素のイオン注入を行い、ソース・ドレイン領域55を形成する。続いて、化学気相成長法によって全面に層間絶縁膜57となるCVDシリコン酸化膜を堆積し、この層間絶縁膜57にコンタクト孔を開口する。続いて、スパッタ法によって全面にA1膜を堆積し、このA1膜を反応性イオンエッティングによってパターニングして、A1配線58を形成する。

【0077】（実施形態1-4）次に、図7を参照して、図3に示すMISトランジスタの別の製造方法を説明する。

【0078】まず、図7（a）に示すように、面方位（100）、比抵抗4～6Ωcmのp型シリコン基板51上に、反応性イオンエッティングにより、素子分離のための溝を形成する。続いて、例えばLPTEOS膜を埋め込むことにより素子分離領域52を形成する。

【0079】次に、図7（b）に示すように、例えばCVD法によって、窒素希釈雰囲気中のZrCl<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合ガス、もしくはZr（SO<sub>4</sub>）<sub>2</sub>ガスとNH<sub>3</sub>ガスの混合ガス等の、Zrを含む酸性ガスと窒素を含むアンモニアガスを、例えば1～10<sup>5</sup>Paの圧力、1～1000scmの流量で、それぞれ交互に供給、排気し、基板温度が室温～800°Cの温度範囲において、例えば窒化ジルコニウム膜、もしくはZr、窒素及びSiを含む膜（ZrSiN<sub>x</sub>膜）65を堆積する。

【0080】次に、図7（c）に示すように、この基板を、例えば200°C～800°Cの温度で酸素原子を含む雰囲気に晒して、少なくともZr、窒素及びSiを含有する膜65中に酸素原子を導入することによって、窒素原子を含有する金属シリケイト層53を形成する。この熱処理は、5分以下の短い時間の熱処理或いは励起酸素を照射する処理でもよい。

【0081】次に、図3に示すように、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極54を形成する。続いて、例えば450°C、圧力1Pa～10<sup>5</sup>Paにおいて、窒素ガスで希釈したSiH<sub>4</sub>ガスとNH<sub>3</sub>ガスの混合ガスを用いて、例えば5nm～200nmのCVDシリコン窒化膜からなるゲート側壁56を形成する。

【0082】以後の工程は、通常のMISトランジスタの製造工程と同様である。すなわち、例えば加速電圧20keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で砒素のイオン注入を行い、ソース・ドレイン領域55を形成する。続いて、化学気相成長法によって全面に層間絶縁膜57となるCVDシリコン酸化膜を堆積し、この層間絶縁膜57にコンタクト孔を開口する。続いて、スパッタ法によって全面にAl膜を堆積し、このAl膜を反応性イオンエンシチングによってパターニングして、Al配線58を形成する。

【0083】以上、本発明のいくつかの製造方法を示してきたが、以下のような方法で窒素を含有する金属シリケイト層を形成することも可能である。

【0084】例えば、窒素雰囲気中或いは励起窒素を照射しながら、金属原子と酸素原子を含むターゲット（金属酸化物ターゲット）を使い、蒸着法、スパッタ法又はレーザーアブレーション法によって、或いは、窒素雰囲気中或いは励起窒素を照射しながら、金属原子と酸素原子を含むガスを用いたCVD法によって、シリコン基板上に絶縁膜を堆積させることで、窒素を含有する金属シリケイト層を形成することも可能である。このような絶縁膜を堆積させた後に、800°C以下の酸素ガス雰囲気で晒してゲート絶縁膜を形成しても良い。また、酸素ガス雰囲気に晒すかわりに、活性な酸素原子（励起酸素）を照射するようにしても良い。

【0085】なお、上述した本実施形態の方法は、ダマシングート(damascene gate)若しくは置換ゲート(replacement gate)トランジスタプロセスのゲート絶縁膜に適用することも有効である。

【0086】例えば、通常ダマシングートトランジスタプロセスでは、ダミーゲートを用いてトランジスタ構造を形成した後、TEOSの堆積、CMPによる研磨を行い、その後ダミーゲートを剥離してゲート絶縁膜を形成するが、形成されるゲート絶縁膜の段差被覆性が良好でないため、膜厚の不均一性などの問題が生じ、デバイス特性のばらつきや劣化が生じやすい。

【0087】上述した本実施形態の方法を用いて、ダミーゲートを剥離した後に露出したSi基板表面を含む全面に金属酸化膜を堆積し、Si基板との界面に形成される金属シリケイト層をゲート絶縁膜として用いることにより、金属シリケイト層の膜厚を金属酸化膜の膜厚に依存せずに一定にすることができるため、均一な膜厚のゲート絶縁膜を得ることができる。

【0088】(実施形態2) 次に、レーザーアブレーション法によってSi基板上に金属酸化膜を形成するとともに、Si基板と金属酸化膜との界面に金属シリケイト層を形成した場合について、作成された試料の分析結果を説明する。具体的には、TEMによって断面観察を行うとともに、EDX分析を行った。

【0089】図8は、Si基板上にZrO<sub>2</sub>膜（金属酸

化膜）を形成した試料の断面TEM写真である。ZrO<sub>2</sub>膜とSi基板の界面に、Zrシリケイト層（界面シリケイト層：interfacial Zr silicate）が形成されていることがわかる。

【0090】図9は、界面シリケイト層の上面からSi基板に向かって、界面シリケイト層の組成を分析した結果を示したものである。

【0091】図9に示すように、界面シリケイト層の上面からSi基板に向かって（丸数字1から丸数字6に向かって）、Zrの濃度（原子パーセント）が7%からしだいに減少し、界面シリケイト層とSi基板との界面では検出限界以下すなわち、1%以下になっている。したがって、このようにして得られたシリケイト界面層を用いることで、バルク領域に対して界面でのZr濃度が低い、傾斜組成構造を有するシリケイトゲート絶縁膜を得ることができる。

【0092】ここで、このようにして得られた界面シリケイト層の濃度について考えると、Zrシリケイト層（界面シリケイト層）の化学量論組成における濃度よりもZr濃度が高い、すなわちZr濃度が約17%よりも高いと、Zr-Si結合を有するZrシリサイドが形成されるため、リーク特性が劣化する。したがって、バルク領域のZr濃度は17%以下であることが好ましい。

【0093】また、金属酸化膜として通常のZrO<sub>x</sub>（x～2）を用いる場合、図9の測定結果からもわかるように、Zrシリケイト層のバルク領域のZr濃度は7%程度が最大となる。この場合、誘電率はSiO<sub>2</sub>よりも充分大きく（ε=7～8程度）、またリーク特性の劣化も生じない。したがって、Zrシリケイト層のバルク領域におけるZr濃度の最大値が7%或いは7%以下であることが好ましい。

【0094】図10(a)は、レーザーアブレーション成膜法でZrO<sub>2</sub>膜を作製し、界面シリケイト層を絶縁膜として用いた、Au/界面シリケイト層(Zrシリケイト層)/Si構造のMISキャパシタについて、そのC-V特性を測定した結果を示したものである。図10(b)は、図10(a)の界面シリケイト層と同程度のZr濃度を有するターゲットを用いて成膜した、Au/堆積法によるZrシリケイト層/Si構造のMISキャパシタについて、そのC-V特性を測定した結果を示したものである。

【0095】蓄積容量と膜厚から見積もられた誘電率は、両者共にε=7～8と同程度であり、SiO<sub>2</sub>よりも充分に高い値を示している。一方、C-Vカーブに関しては、図10(b)の堆積法によるZrシリケイト層を用いたキャパシタの方は歪んでいるのに対し、図10(a)の方ではその様な歪は見られておらず、良好な界面特性が得られることがわかる。

【0096】以上のように、Zr酸化膜とSiとの界面反応によって得られた、Zrシリケイト層の上層側界面

から下層側界面に向かって $Zr$ 濃度がしだいに減少する傾斜組成構造を有する $Zr$ シリケイト層を用いる（別の観点から見ると、 $Zr$ シリケイト層の下層側界面での $Zr$ 濃度が上層側界面での $Zr$ 濃度よりも低い $Zr$ シリケイト層を用いる）ことにより、 $Zr$ シリケイト層と $Si$ 基板との界面では $Zr$ 濃度が低いために良好な界面特性を得ることができるとともに、 $Zr$ シリケイト層のバルク領域では $Zr$ 濃度が高いために高誘電率化を達成することができ、優れた特性を有するMIS型電界効果トランジスタを得ることができる。

【0097】なお、 $Zr$ の代わりに $Hf$ 或いは $La$ を用いてもよい。特に $Hf$ は $Zr$ と同様の性質を有しているため、 $Hf$ 濃度に関する数値については、上述した $Zr$ 濃度に関する数値が同様に当てはまる。

【0098】以下、上述したような構造を有するMISトランジスタについて説明する。基本的な構造については実施形態1で示した図3の構造と同様であり、基本的な製造方法については実施形態1で示した図4の方法と同様である。ここでは、製造方法について図4を参照して説明する。

【0099】まず、図4(a)に示すように、面方位(100)、比抵抗4~6 $\Omega\text{ cm}$ のp型シリコン基板51上に、反応性イオンエッチングにより、素子分離のための溝を形成する。続いて、例えばLPT-TEOS膜を埋め込むことにより素子分離領域52を形成する。

【0100】次に、図4(b)に示すように、レーザーアプレーション成膜法を用いて、例えば酸素分圧約10Paの雰囲気中、基板温度300~600°Cにおいて、膜厚10nmの $ZrO_2$ 膜（金属酸化膜）59を $Si$ 基板51上に成膜する。レーザーアプレーション成膜法を用いることで、成膜時に光励起の作用によって各元素が十分なエネルギーを有しているため、組成ずれが少ない膜を形成することができる。

【0101】 $ZrO_2$ 膜59の成膜と同時に、 $Si$ 基板51と $ZrO_2$ 膜59との界面には厚さ2~3nm程度の $Zr$ シリケイト層53が形成される。このようにして形成される $Zr$ シリケイト層53は、形成時に $Zr$ 、O及び $Si$ の各元素が十分なエネルギーを有しているため、組成がずれ難く、所望の組成を有し、欠陥が少ない高密度のものが得られる。また、このようにして形成される $Zr$ シリケイト層53は、 $Si$ 基板51側に $Si$ 、 $ZrO_2$ 膜59側に $Zr$ が多く存在するため、 $Zr$ 濃度が $Si$ 基板51側に向かってしだいに低くなる傾斜組成構造となる。また、光励起反応であり、過剰な運動エネルギーを持たないため、 $Si$ 基板51表面へのダメージを低減することができる。

【0102】また、 $ZrO_2$ 膜59を成膜する際に励起酸素を照射することにより、 $Si$ 基板界面での酸化反応を促進することができるため、 $SiO_2$ 組成に近く、欠陥が少ない、傾斜組成を有する、より良好な金属シリケ

イト層53を形成することができる。

【0103】次に、図4(c)に示すように、濃度2%の希HF溶液を用いて100秒程度ウエットエッチングを行うと、 $ZrO_2$ 膜59はエッチングされ、 $Zr$ シリケイト層53のみが選択的に残る。このとき、エッチング速度が $Zr$ シリケイト層53で急激に減少するので、エッチング時間が1~3割程度長くなても $Zr$ シリケイト層53の膜厚に大きな変化はなく、容易かつ膜厚制御性よく、良好な $Zr$ シリケイト層53のみを選択的に残すことができる。

【0104】次に、図4(d)に示すように、エッチングによって残された $Zr$ シリケイト層53に対して、励起酸素源60から励起酸素を照射する。励起酸素照射の代わりに、RTA処理を行っても良い。

【0105】次に、図3に示すように、化学気相成長法によってポリシリコン膜を全面に堆積し、このポリシリコン膜をパターニングしてゲート電極54を形成する。続いて、例えば450°C、圧力1Pa~10<sup>5</sup>Paにおいて、窒素ガスで希釈した $SiH_4$ ガスと $NH_3$ ガスの混合ガスを用いて、例えば5nm~200nmのCVDシリコン窒化膜からなるゲート側壁56を形成する。

【0106】以後の工程は、通常のMISトランジスタの製造工程と同様である。すなわち、例えば加速電圧20keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で砒素のイオン注入を行い、ソース・ドレイン領域55を形成する。続いて、化学気相成長法によって全面に層間絶縁膜57となるCVDシリコン酸化膜を堆積し、この層間絶縁膜57にコンタクト孔を開口する。続いて、スペッタ法によって全面にA1膜を堆積し、このA1膜を反応性イオンエッチングによってパターニングして、A1配線58を形成する。

【0107】なお、本実施形態において、傾斜組成を得るために、金属シリケイト層を形成した後に金属膜をさらに堆積し、熱処理によって金属膜中の金属原子を金属シリケイト層中に拡散させても良い。また、金属シリケイト層形成後に、金属イオンを金属シリケイト層中に低エネルギーでイオン注入しても良い。

【0108】また、本実施形態は、第1の実施形態と同様、ダマシングート若しくは置換ゲートトランジスタップセスのゲート絶縁膜に適用することも可能である。

【0109】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0110】

【発明の効果】本発明によれば、誘電率が高くシリコン基板との界面特性に優れた金属シリケイト層を得ることができ、この金属シリケイト層をゲート絶縁膜として用いることでM I Sトランジスタの性能を向上させることが可能となる。

【図面の簡単な説明】

【図 1】本発明の実施形態に係り、シリコン基板上に金属酸化膜を形成することで、これらの界面に金属シリケイト層が形成されることを示した断面図。

【図 2】本発明の実施形態に係り、金属酸化膜と金属シリケイト層のエッチングレートを示した図。

【図 3】本発明の実施形態に係るM I Sトランジスタの構造を示した断面図。

【図 4】本発明の実施形態に係るM I Sトランジスタの製造工程の一例を示した工程断面図。

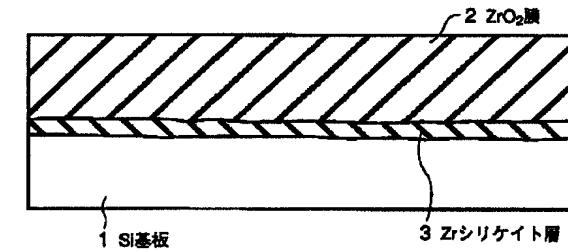
【図 5】本発明の実施形態に係るM I Sトランジスタの製造工程の他の例を示した工程断面図。

【図 6】本発明の実施形態に係るM I Sトランジスタの製造工程の他の例を示した工程断面図。

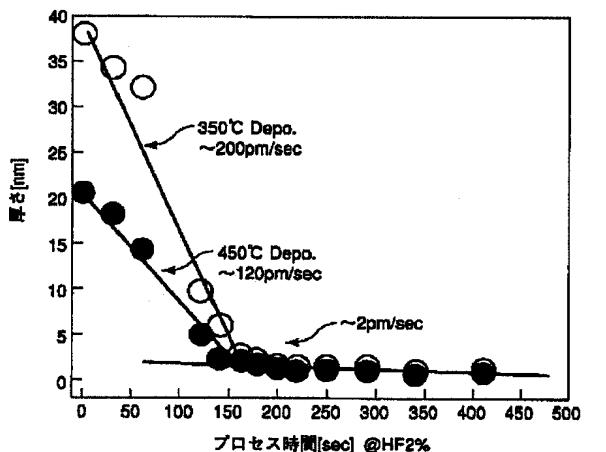
【図 7】本発明の実施形態に係るM I Sトランジスタの製造工程の他の例を示した工程断面図。

【図 8】本発明の実施形態に係り、シリコン基板上に金属酸化膜を形成した試料の断面構造をT E Mによって観察したときの顕微鏡写真。

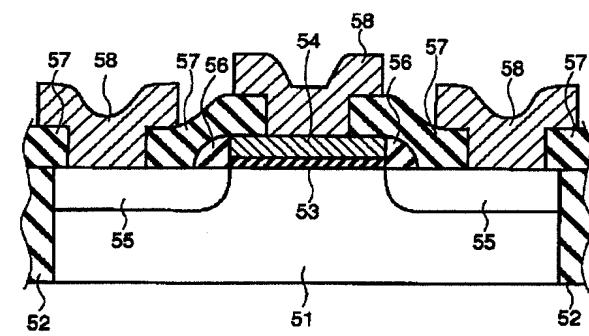
【図 1】



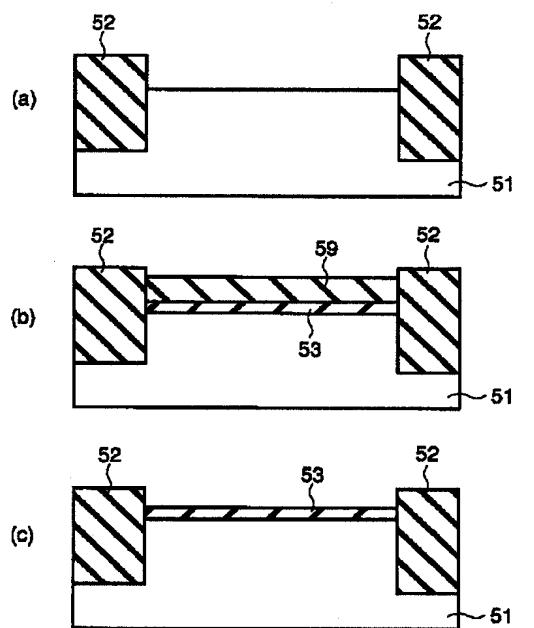
【図 2】



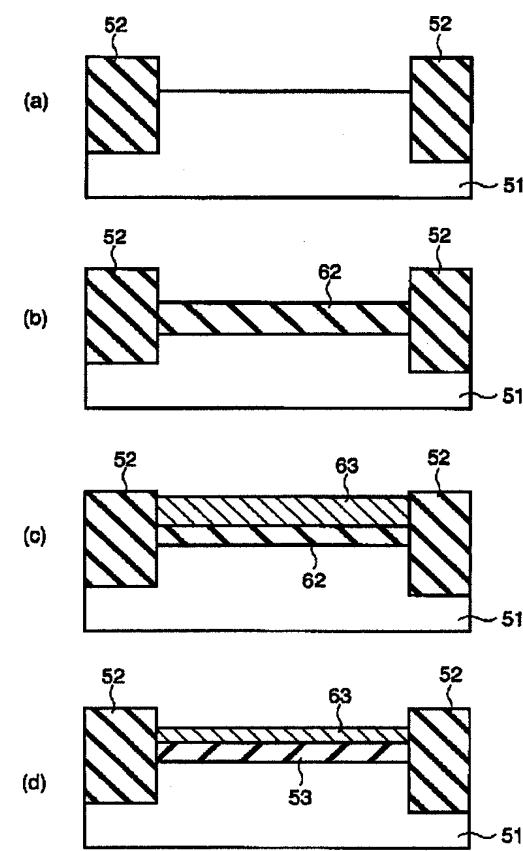
【図3】



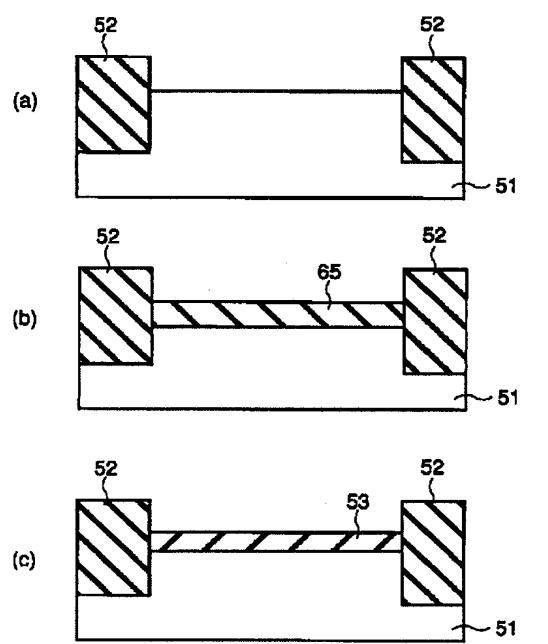
【図4】



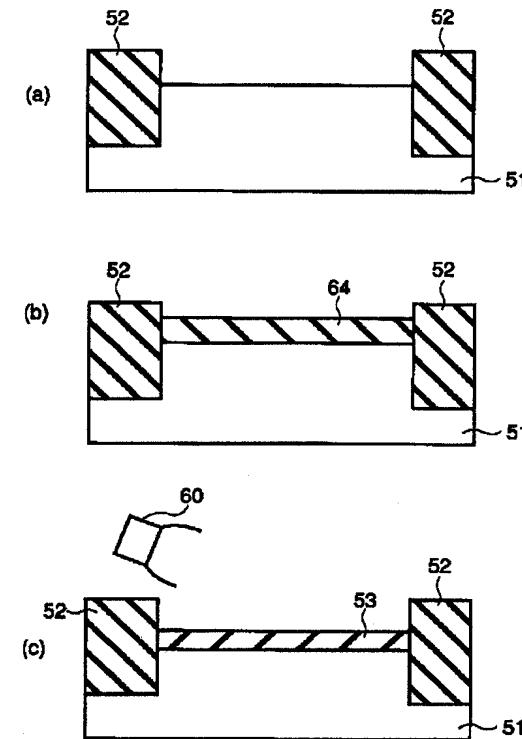
【図5】



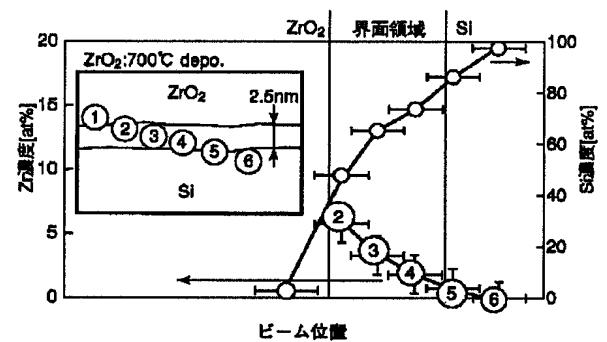
【図7】



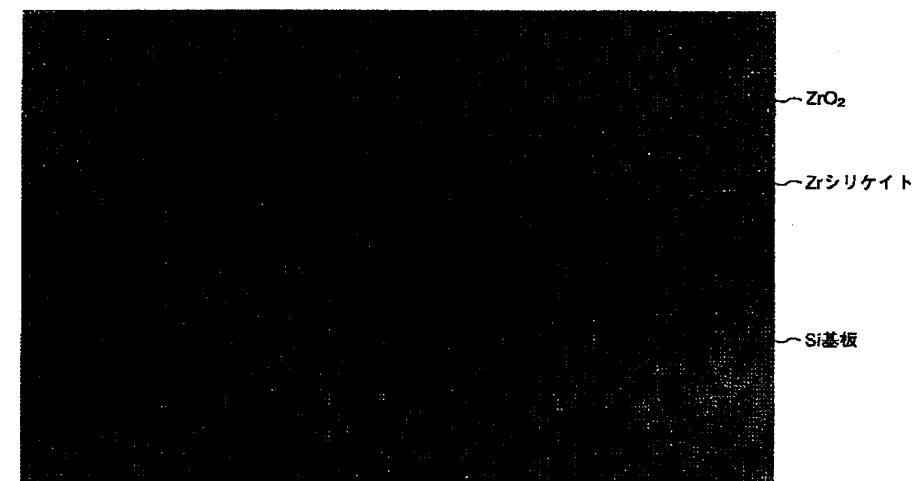
【図 6】



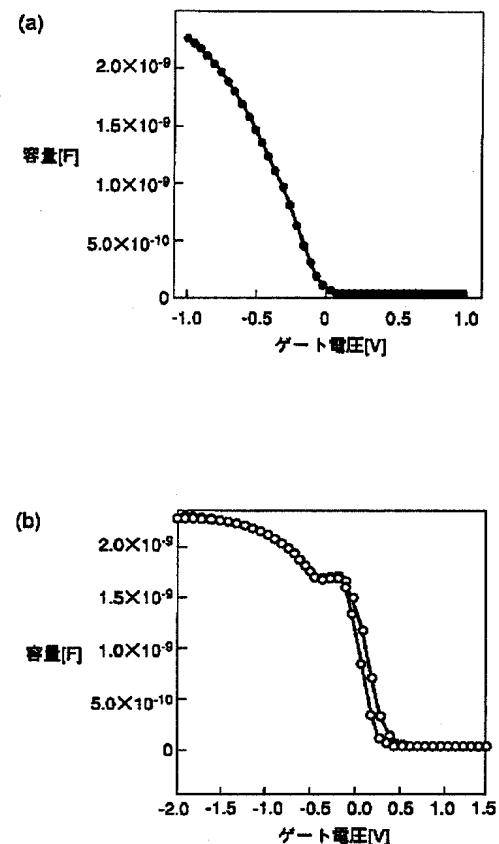
【図 9】



【図 8】



【図 10】



フロントページの続き

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>7</sup> (参考)
H 0 1 L 21/203		H 0 1 L 21/203	S
21/318		21/318	Z
29/78		29/78	B
			3 0 1 G
(72) 発明者	鳥海 明 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内	F ターム(参考) 4K029 AA06 BA52 BB02 BC05 BD01 CA01 CA05 DB05 DB20 FA01 GA01	
(72) 発明者	福島 伸 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内	4K030 AA03 AA13 BA38 BB12 CA04 DA02 DA09 LA02 5F040 DA19 DC01 EC07 ED03 EK05 FA07 FC22 5F058 BA20 BC03 BC11 BC20 BD01 BD05 BD09 BD18 BF02 BF17 BF22 BF24 BF29 BF40 BH03 BH04 BH16 BJ01 BJ10 5F103 AA01 AA08 DD30 LL08 PP03 RR05	